

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-148690

(43)Date of publication of application : 29.05.2001

(51)Int.Cl.

H04L 7/00

H03K 5/15

H04L 12/40

(21)Application number : 11-329454

(71)Applicant : SONY CORP

(22)Date of filing : 19.11.1999

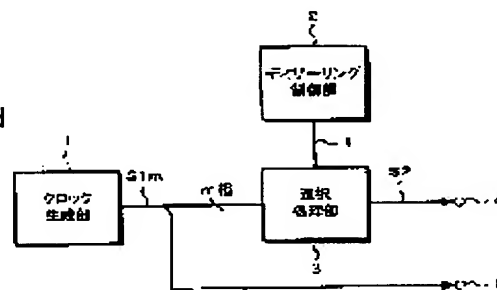
(72)Inventor : MIURA KIYOSHI

(54) CLOCK GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a clock generator of a simple constitution which can obtain the spread spectrum clocks which are synchronized with each other within a fixed phase error and also can decrease the electromagnetic noises.

SOLUTION: This clock generator includes a clock generation part 1, a selection processing part 3 and a dithering control part 2. The part 1 generates the m-phase clock signals having the phases shifted from each other by a fixed extent with desired frequency and these generated clock signals are supplied to the part 3. The part 2 supplies a control signal to the part 3. The part 3 selects successively one of m-phase clock signals according to the control signal that is supplied from the part 2 to fluctuate back and forth the phase of the clock signal with a prescribed relation and within a range of accuracy that is allowed by a communication system serving as a supply destination and then to obtain a 2nd clock signal having scattered peaks on a spectrum from the part 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-148690

(P2001-148690A)

(43) 公開日 平成13年 5月29日 (2001.5.29)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マ-ト*(参考) |
|---------------------------|------|---------------|-----------------|
| H 0 4 L 7/00 | | H 0 4 L 7/00 | Z 5 J 0 3 9 |
| H 0 3 K 5/15 | | H 0 3 K 5/15 | G 5 K 0 3 2 |
| H 0 4 L 12/40 | | H 0 4 L 11/00 | 3 2 0 5 K 0 4 7 |

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平11-329454

(22) 出願日 平成11年11月19日 (1999. 11. 19)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 三浦 清志

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

F タ-ム(参考) 5J039 EE10 EE13 EE17 EE24

5K032 AA07 CC13 DA13 DB18

5K047 AA13 GG02 GG09 GG29 MM27

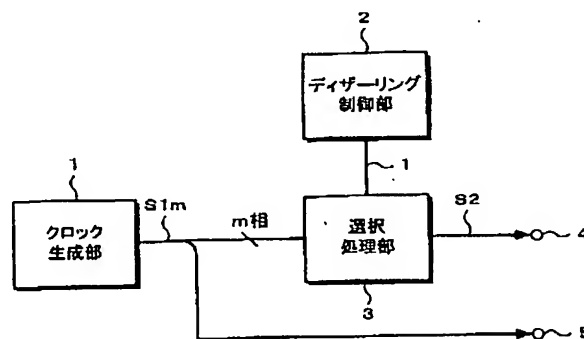
MM53 MM59

(54) 【発明の名称】 クロック発生装置

(57) 【要約】

【課題】 簡素な構成で一定の位相差内で同期がとれたスペクトラム拡散クロックを得られるようにし、電磁ノイズを低減できるようにする。

【解決手段】 クロック生成部 1 と、選択処理部 3 と、ディザリング制御部 2 とを設ける。クロック生成部 1 において、所望の周波数で位相が一定分だけ互いにずれた m 相のクロック信号を生成し、クロック生成部 1 において生成したクロック信号を選択処理部 3 に供給する。選択処理部 3 にディザリング制御部 2 から制御信号を供給し、選択処理部 3 において、ディザリング制御部 2 からの制御信号に応じて m 相のクロック信号の内の一つを順次選択することにより供給先である通信系が許容する精度の範囲内で位相を所定の関係で前後に変動させ、スペクトラム上のピークを分散させた第 2 のクロック信号を選択処理部 3 から得る。



【特許請求の範囲】

【請求項1】 バスで接続された電子機器間でデータ通信を行う通信システムにおけるクロック発生装置において、

互いに位相差を有する m 相のクロック信号を生成するクロック生成手段と、

上記クロック生成手段から供給される上記 m 相のクロック信号の一つを順次選択して第2のクロック信号として出力する選択手段と、

上記選択手段から得られる上記第2のクロック信号のスペクトラムが拡散するように上記選択手段に制御信号を供給して制御する制御手段とを備えたことを特徴とするクロック発生装置。

【請求項2】 請求項1において、

上記制御手段は、上記第2のクロック信号の位相が所定基準に対して進む期間と、遅れる期間とを交互に繰り返すように制御することを特徴とするクロック発生装置。

【請求項3】 請求項1において、

上記クロック生成手段は、多段リングオシレータを含むことを特徴とするクロック発生装置。

【請求項4】 請求項1において、

上記クロック生成手段は、遅延素子で順次シフトさせて上記 m 相のクロック信号を生成することを特徴とするクロック発生装置。

【請求項5】 請求項1において、

上記クロック生成手段は、シフトレジスタで順次シフトさせて上記 m 相のクロック信号を生成することを特徴とするクロック発生装置。

【請求項6】 請求項1において、

上記選択手段は、ワイヤードORで構成されることを特徴とするクロック発生装置。

【請求項7】 請求項1において、

制御手段は、シフトレジスタを環状に接続し、上記シフトレジスタの出力を論理的にデコードすることにより上記制御信号を生成することを特徴とするクロック発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、例えば、IEEE1394シリアルインターフェース方式等による通信機能を有した電子機器に用いて好適なクロック発生装置に関する。

【0002】

【従来の技術】 現在、マルチメディア化に対応してパーソナルコンピュータと各民生機器間をつなぐ次世代の周辺装置インターフェースとしてIEEE1394と称されるシリアルインターフェース方式が提案されており、このインターフェース方式を用いてVTR、ビデオカメラ、プリンタ、楽器、家庭内LAN等のシステムへの応用が進められている。

【0003】 また、民生機器等においては、電磁ノイズの問題が各安全基準により規制されている。このため、高速化が図られたデジタル機器においては、電磁ノイズを低減する一つの方法としてスペクトラム拡散クロックを用いる。具体的には、特定の周波数にスペクトラムのピークが発生しないように意識的にノイズを加えてジッターを発生させたり、また、回路の動作に影響しない程度、例えば、数kHzから数100kHzで緩やかに周波数を変動させている。

【0004】

【発明が解決しようとする課題】 しかしながら、IEEE1394等を用いたシリアル通信では、実際にケーブル上でのシリアル通信を扱う物理レイヤのLSIチップにおいて、通信を保証するため周波数精度として、通常50ppmwから100ppm程度が要求されており、クロック周波数を緩やかに変動させることはできない。

【0005】 図12にシリアル通信系の構成の一例を示す。図12に示すように物理レイヤのLSIチップ101は、リンクレイヤのLSIチップ102と物理媒体としての伝送ラインとの間に介在する。そして、LSIチップ101は、リンクレイヤのLSIチップ102に対してパケットデータの送受信をシリアル用のクロックを分周したものに基づいて平行に行う。具体的には、IEEE1394の場合においては、50MHzで最大8ビットの平行データがCMOSレベル(3Vまたは5V)で伝送される。なお、LSIチップ101の伝送ライン側では、端子103を介して400Mbpsでシリアル通信がなされる。

【0006】 このように平行通信側においては、振幅が大きく、然も、周波数が高いため、この部分に注目して電磁ノイズに配慮することが少なからず必要である。つまり、シリアル通信側には、精度の高いクロックを供給しながら、平行通信側では、スペクトラム拡散したクロックを使用し、かつ、シリアル通信側のクロックに同期したクロックを供給できることが、シリアルと平行の両方の通信を行うチップにおいては、必要とされる。なお、このような要求に応えるために、従来のスペクトラム拡散クロックの生成回路を用いることが考えられるが、この場合には、クロックを通常の数%程度以上変化させる必要があるため、シリアルと平行の両方の通信を行うチップに使用するには、困難であった。

【0007】 また、DLL(Delay-Locked Loop)により周波数を可変することなく、位相のみを変動させる手法が提案されているが、この場合においても、アナログ回路を用いるため、設計が困難であるばかりか、回路面積の増大やプロセス・ポータビリティの点で問題点を有する。

【0008】 従って、この発明の目的は、簡素な構成で一定の位相差内で同期が取れたスペクトラム拡散クロック

クを生成することができ、然も、シリアルとパラレルの両方の通信を行うチップに対して使用することが可能なクロック発生装置を提供することにある。

【0009】

【課題を解決するための手段】以上の問題を解決するために、請求項1の発明は、バスで接続された電子機器間でデータ通信を行う通信システムにおけるクロック発生装置において、互いに位相差を有する m ($m: 2$ 以上の自然数) 相のクロック信号を生成するクロック生成手段と、クロック生成手段から供給される m 相のクロック信号の一つを順次選択して第2のクロック信号として出力する選択手段と、選択手段から得られる第2のクロック信号のスペクトラムが拡散するように選択手段に制御信号を供給して制御する制御手段とを備えたことを特徴とするクロック発生装置である。

【0010】この発明では、クロック生成手段と、選択手段と、制御手段とが設けられる。クロック生成手段において、所望の周波数で位相が一定分だけ互いにずれた m 相のクロック信号が生成され、クロック生成手段において生成された m 相のクロック信号が選択手段に供給される。選択手段には、制御手段から制御信号が供給されており、選択手段において、制御手段からの制御信号に応じて m 相のクロック信号の内の一つが順次選択されることにより、供給先である通信系が許容する精度の範囲内で位相が所定の関係で前後に変動し、スペクトラム上のピークが分散した第2のクロック信号が選択手段から出力される。

【0011】

【発明の実施の形態】以下、この発明の一実施形態について図面を参照して説明する。図1は、この発明の一実施形態の全体構成を示す。図1に示すようにこの発明によるクロック発生装置は、クロック生成部1と、ディザリング制御部2と、選択処理部3とにより構成される。

【0012】クロック生成部1は、PLL回路、水晶発振器、逓倍／分周回路等を有し、所望の周波数で位相が一定分だけ互いにずれた m 相のクロック信号を生成する。クロック生成部1において生成された m 相のクロック信号 $S1m$ が選択処理部3に供給されると共に、出力端子5を介して取り出される。出力端子5を取り出された m 相のクロック信号 $S1m$ は、例えば、ジッターが極力少なく、高精度が要求される図示されていないシリアル通信系の回路部に供給されて用いられる。

【0013】図2に ($m=5$) とした場合のクロック生成部1において生成されるクロック信号 $S11 \sim S15$ の一例を示す。図2に示すように所望の周波数で位相が Δt だけ互いにずれた5相のクロック信号 $S11 \sim S15$ がクロック生成部1において生成される。

【0014】選択処理部3には、ディザリング制御部2から制御信号SEL1が供給される。選択処理部3は、制御信号SEL1に応じて m 相のクロック信号 $S1m$ の

内の一つを順次選択し、パラレル通信系用のクロック信号 $S2$ として出力する。選択処理部3において選択されたクロック信号 $S2$ が出力端子4を介して取り出され、例えば、図示されていないパラレル通信系の回路部に供給されて用いられる。

【0015】選択処理部3を制御するディザリング制御部2は、出力端子4に得られるクロック信号 $S2$ のスペクトラムが出来うる限り拡散し、然も、供給先であるパラレル通信系が許容する精度の範囲内で位相が所定の関係で前後に変動するように選択信号SEL1を生成する。なお、この発明の一実施形態の説明におけるディザリングは、量子化雑音を聴覚的に目立たなくするためのノイズを加える処理を指すのではなく、意図的に位相を所定の関係で前後に変動させてジッターを加え、スペクトラム上のピークを分散させる処理のことを指す。

【0016】上述した一実施形態の各部の構成について便宜上 ($m=5$) としてさらに詳細に説明する。図3は、上述したクロック生成部1の具体的な構成の一例を示す。図3において、10で示されるのが5段構成のリングオシレータである。5段構成のリングオシレータ10は、図3に示すように5個の遅延回路11～15と、5個のバッファ16～20により構成されている。

【0017】遅延回路11の反転出力端子と、遅延回路12の入力端子とが接続されると共に、遅延回路11の出力端子と、遅延回路12の反転入力端子とが接続される。同様に隣接する各回路間の反転出力端子と、入力端子とが接続されると共に、出力端子と、反転入力端子とが接続される。つまり、遅延回路11～15のそれぞれが直列に環状をなすように接続されている。また、遅延回路11の反転出力端子と、遅延回路12の入力端子との接続点にバッファ16の反転入力端子が接続されると共に、遅延回路11の出力端子と、遅延回路12の反転入力端子との接続点にバッファ16の入力端子が接続される。同様に各回路間の反転出力端子と入力端子との接続点と、出力端子と反転入力端子との接続点にバッファ17～20の反転入力端子と入力端子とが接続される。なお、遅延回路11～15のそれぞれには、電源端子Vcを介して電源電圧が供給される。

【0018】図4Aにバッファ16～20のそれぞれから得られる信号 $c0 \sim c4$ を示す。図4Aに示すようにバッファ16～20からは、位相が一定分だけ互いにずれた5相の信号 $c0 \sim c4$ が得られる。例えば、IEEE1394の物理レイヤのLSIチップでは、400MHzのクロック信号が必要であるため、IEEE1394に適用したものとして説明する。この場合においては、位相差が250psで、互いにずれた5本の400MHzの信号 $c0 \sim c4$ が5段構成のリングオシレータ10から出力される。なお、図1の説明においては、出力端子4からディザリングされた信号を得、出力端子5からディザリング処理前の信号を得る場合について説明したが、

IEEE-1394の物理レイヤのLSIチップに適用した場合では、出力端子5からは、出力端子4の8倍のクロック信号が実際には出力される。このため、出力端子5からは、例えば、信号c0～c4の一つが取り出される。

【0019】バッファ16～20から出力される信号c0～c4のそれぞれをバッファ16～20に対応して設けられた16分周回路21～25に供給し、それぞれ16分周することにより図4Bに示すように位相差が250psで、互いにずれた5本の50MHzの信号dc0～dc4が生成される。この信号dc0～dc4が上述した選択処理部3に供給される。

【0020】図5は、選択処理部3において生成されるクロック信号S2の一例を示す。前述したように選択処理部3は、ディザリング制御部1からの選択信号SEL1により制御され、図5に示すように1サイクル毎に上述した信号dc0～dc4の内の一つを順次選択する。なお、図5においては、50MHzの周期20nsを基準とした20.25nsおよび19.75nsの二つの周期を交互に選択して一つのクロック信号S2を合成する様子を示しており、選択された波形と、クロック信号S2との関係が破線の矢印で示されている。

【0021】具体的には、期間Aにおいては、サイクル毎に位相が250psずつ遅れ、期間Bでは、逆にサイクル毎に位相が250psずつ進み、期間Cでは、再び期間Aと同様に位相が250psずつ遅れて行く。このように選択処理を行うことで、クロック信号S2の周波数が期間Aでは、 $(1/20.25\text{ns}=49.38\text{MHz})$ となり、期間Bでは、 $(1/19.75\text{ns}=50.63\text{MHz})$ となる。また、クロック信号S2のハイレベルな区間は、全て20nsに固定されている。このため、クロック信号S2には、50MHzの成分もある程度含まれ、ディザリングされたクロック信号S2は、基本周波数として、(49.38, 50, 50.63)の3つの成分を含み、スペクトラムが分散されてピーク値が低く抑えられる。

【0022】なお、上述した期間Aおよび期間Bに相当する周波数は、50MHzで8サイクル周期で $50/8=6.25\text{MHz}$ である。一般的にこの位相を前後させるディザリング周波数に対してクロック同期に使用されるPLL回路のバンド幅は狭く、追従しない。つまり、平均的な位相にPLL回路においてロックし、サイクル毎のディザリングによる位相差は、あくまでもジッターとして捉えられ、PLL回路を用いて同期をとるチップとのパラレル通信が支障なくなされる。

【0023】図6Aは、ディザリングしない場合の信号dc0～dc4の内の一つの信号の周波数分布を示す。なお、図6Aにおいては、横軸が周波数を示し、縦軸がスペクトラムの強度を示す。図6Aに示すように50MHzの基本周波数と、その奇数倍の周波数にピークを有す

る。一方、図6Bにディザリングして合成したクロック信号S2の周波数分布を示す。なお、図6Bにおいても、図6Aと同様に横軸が周波数を示し、縦軸がスペクトラムの強度を示す。図6Bに示すようにディザリングして合成したクロック信号S2は、基本周波数として、(49.38, 50, 50.63)の3つの成分を含み、スペクトラムが分散されてピーク値が低く抑えられる。このようにこの発明では、意図的に位相を所定の関係で前後に変動させてジッターを加えることにより、スペクトラム上のピークを分散させる。なお、この時、ジッターそのものは、上述した例の場合で最大でも±500ps程度であり、クロック周期20nsに対して2.5%でしかなく、パラレル通信系において動作保証上問題にならないレベルである。

【0024】図7は、上述したディザリング制御部2の具体的な構成の一例を示す。図7に示すように8個のD型のフリップフロップ31～38と、3個のOR回路41, 42, 43とによりディザリング制御部2が構成されている。なお、図7に示すようにシフトレジスタを用いた構成とせずに、ステートマシン回路を用いることでも同様に制御信号を生成することが可能である。

【0025】フリップフロップ31の出力端子Qと、フリップフロップ32の入力端子Dとが接続される。同様に隣接する各フリップフロップ間の出力端子Qと、入力端子Dとが接続される。つまり、フリップフロップ31～38のそれぞれが直列に環状をなすように接続されている。また、フリップフロップ32の出力端子Qとフリップフロップ33の入力端子Dとの接続点にOR回路41の一方の入力端子が接続され、フリップフロップ38の出力端子Qとフリップフロップ31の入力端子Dとの接続点にOR回路41の他方の入力端子が接続される。フリップフロップ33の出力端子Qとフリップフロップ34の入力端子Dとの接続点にOR回路42の一方の入力端子が接続され、フリップフロップ37の出力端子Qとフリップフロップ38の入力端子Dとの接続点にOR回路42の他方の入力端子が接続される。フリップフロップ34の出力端子Qとフリップフロップ35の入力端子Dとの接続点にOR回路43の一方の入力端子が接続され、フリップフロップ36の出力端子Qとフリップフロップ37の入力端子Dとの接続点にOR回路43の他方の入力端子が接続される。

【0026】なお、フリップフロップ31のセット入力端子と、フリップフロップ32～38のリセット入力端子のそれぞれには、初期化信号initが供給され、フリップフロップ31～38のクロック入力端子のそれぞれには、所定のクロック信号ckが供給される。

【0027】図8は、所定の初期化信号initと、クロック信号ckが供給された際に上述したフリップフロップ31の出力端子Qとフリップフロップ32の入力端子Dとの接続点から得られる信号s0と、OR回路41

～43のそれぞれの出力端子から得られる信号 s_1 , s_2 , s_3 と、フリップフロップ35の出力端子Qとフリップフロップ36の入力端子Dとの接続点から得られる信号 s_4 の一例を示す。

【0028】図8に示すように初期化信号 $init$ によりフリップフロップ31がセットされると共に、フリップフロップ32～38のそれぞれがリセットされる。これは、一つのフリップフロップだけをハイレベルに保持するためである。そして、クロック信号 ck の立ち上がリエッジのタイミングで順次ハイレベルがフリップフロップ間を1個ずつ移動して行き、巡回する。従って、信号 $S_0 \sim S_4$ としては、図8に示すように1つの信号がハイレベルの時に他の4つの信号がローレベルとされ、ハイレベルがクロック信号 ck の1サイクル毎に(信号 $s_0 \rightarrow s_1 \rightarrow s_2 \rightarrow s_3 \rightarrow s_4 \rightarrow s_3 \rightarrow s_2 \rightarrow s_1 \rightarrow s_2 \dots$)の順序で各信号間を移動する。この信号 $S_0 \sim S_4$ が前述した選択処理部3の制御信号 SEL_1 として用いられる。なお、上述した例の場合は、共通の初期化信号 $init$ を用いてD型のフリップフロップ31～38を制御する場合について説明したが、フリップフロップ31～38のそれぞれを別個に制御することにより出力を全て0にしてクロック信号の合成動作を停止するようにしても良い。

【0029】図9は、上述した選択処理部3の具体的な構成の一例を示す。図9に示すようにクロック生成部1からの信号 $dc_0 \sim dc_4$ に対応して設けられた5個のスイッチ回路51～55と、バッファ56とにより選択処理部3が構成されている。

【0030】スイッチ回路51～55のそれぞれは、制御端子を有しており、例えば、制御端子がハイレベルに制御された時にオンするように構成されている。スイッチ回路51の入力端子に信号 dc_0 が供給され、制御端子に信号 s_0 が供給される。スイッチ回路52の入力端子に信号 dc_1 が供給され、制御端子に信号 s_1 が供給される。スイッチ回路53の入力端子に信号 dc_2 が供給され、制御端子に信号 s_2 が供給される。スイッチ回路54の入力端子に信号 dc_3 が供給され、制御端子に信号 s_3 が供給される。スイッチ回路55の入力端子に信号 dc_4 が供給され、制御端子に信号 s_4 が供給される。スイッチ回路51～55の出力端子のそれぞれが共通接続され、この共通接続点にバッファ56の入力端子が接続される。従って、スイッチ回路51～55のそれぞれは、出力側において、ワイヤードOR接続され、スイッチ回路51～55を介した信号が合成される。バッファ56から前述したクロック信号 S_2 が取り出される。

【0031】なお、前述したディザリング制御部2において用いられるクロック信号 ck は、図10に示すようにクロック生成部1からの信号 $dc_0 \sim dc_4$ に対して選択処理部3のセットアップに必要な時間 t_{SU} 以上確

保できるように位相制御されている。このため、クロック生成部1からの信号 $dc_0 \sim dc_4$ を正しく選択することができる。このクロック信号 ck は、信号 $dc_0 \sim dc_4$ を生成する分周回路中の最適な位相部分を取り出して用いたり、また、信号 $dc_0 \sim dc_4$ のいずれか一つをリングオシレータの発信クロックでシフトさせたりすることで容易に生成される。

【0032】上述した一実施形態の説明においては、便宜上($m=5$)の場合について説明したが、この発明は、($m=5$)以外の他の複数の相のクロック信号に対して容易に適用することができる。

【0033】また、上述した一実施形態の説明においては、信号 $S_0 \sim S_4$ として図8に示すように1つの信号がハイレベルの時に他の4つの信号がローレベルとされ、ハイレベルがクロック信号 ck の1サイクル毎に(信号 $s_0 \rightarrow s_1 \rightarrow s_2 \rightarrow s_3 \rightarrow s_4 \rightarrow s_3 \rightarrow s_2 \rightarrow s_1 \rightarrow s_2 \dots$)の順序で各信号間を移動する場合について説明したが、他の周期性を持ち、かつ、供給先の要求精度の範囲内で位相を前後させるパターンを用いるようにしても良い。例えば、($m=7$)とし、位相の進んでいる信号から遅れている信号に向けて $s_0 \sim s_6$ とした場合には、(信号 $s_0 \rightarrow s_1 \rightarrow s_2 \rightarrow s_3 \rightarrow s_4 \rightarrow s_5 \rightarrow s_6 \rightarrow s_5 \rightarrow s_4 \rightarrow s_3 \rightarrow s_2 \rightarrow s_1 \rightarrow s_2 \dots$)や、(信号 $s_0 \rightarrow s_2 \rightarrow s_4 \rightarrow s_6 \rightarrow s_4 \rightarrow s_2 \rightarrow s_0 \rightarrow s_2 \rightarrow \dots$)等で位相を移動させるようにしても良い。

【0034】さらに、上述した一実施形態のクロック生成部1の説明においては、具体例として5段階構成のリングオシレータを用いる場合について説明したが、他にクロック発生回路を設け、その出力信号に対して遅延処理を施すことにより m 相のクロック信号を得るようにしても良い。図12にクロック生成部1の他の具体例を示す。なお、この場合には、($m=7$)で7相のクロック信号を生成する。

【0035】図11において50で示されるのがクロック生成部1、もしくは、外部に設けられたクロック発生回路である。クロック発生回路50の出力端子に6個の直列接続された遅延素子51～56が接続される。クロック発生回路50の出力端子から信号 c_0 が得られ、遅延素子51の出力端子から信号 c_1 が得られ、遅延素子52の出力端子から信号 c_2 が得られ、遅延素子53の出力端子から信号 c_3 が得られ、遅延素子54の出力端子から信号 c_4 が得られ、遅延素子55の出力端子から信号 c_5 が得られ、遅延素子56の出力端子から信号 c_6 が得られる。遅延素子51～56のそれぞれは、任意に遅延量を設定することができ、それぞれ互いに位相が異なる7相のクロック信号 $c_0 \sim c_6$ を得ることができる。なお、この場合には、100ps或いはそれ以下まで位相をシフトさせることができ、また、クロック生成部1に別に設けられているPLL回路の電圧制御発振器

の制御電圧を用いたマッチド遅延素子を用いるようにしても良い。さらに、クロック発生回路50の出力信号の発振周波数よりさらに高い周波数の基準信号を別回路から得、遅延素子51～56の代わりにシフトレジスタを用いて遅延素子と同様に機能させるようにしても良い。

【0036】

【発明の効果】この発明では、クロック生成手段と、選択手段と、制御手段とが設けられ、選択手段からは、供給先であるパラレル通信系が許容する精度の範囲内で位相が所定の関係で前後に変動し、スペクトラム上のピークが分散した第2のクロック信号が出力される。このため、この発明によれば、簡素な構成で一定の位相差内で同期が取れたスペクトラム拡散クロックを生成することができ、電磁ノイズを低減することができる。また、この発明によれば、第2のクロック信号が選択手段から出力されると共に、クロック生成手段において生成された所定の高精度のクロック信号も併せて出力されるため、シリアルとパラレルの両方の通信を行うチップに対して使用することが可能となる。

【図面の簡単な説明】

【図1】この発明の一実施形態の全体構成を示すブロック図である。

【図2】この発明の一実施形態の説明に用いる波形図である。

【図3】この発明の一実施形態におけるクロック生成部の一例を示すブロック図である。

【図4】この発明の一実施形態におけるクロック生成部の説明に用いる波形図である。

【図5】この発明の一実施形態における選択処理部の説明に用いる波形図である。

【図6】この発明の一実施形態における選択処理部の説明に用いる特性図である。

【図7】この発明の一実施形態におけるディザリング制御部の一例を示すブロック図である。

【図8】この発明の一実施形態におけるディザリング制御部の説明に用いる波形図である。

【図9】この発明の一実施形態における選択処理部の一例を示すブロック図である。

【図10】この発明の一実施形態におけるディザリング制御部と選択処理部の説明に用いる波形図である。

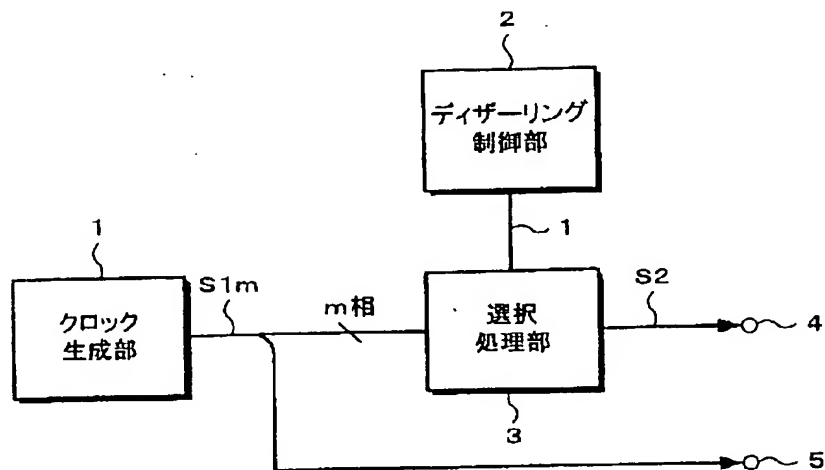
【図11】この発明の一実施形態におけるクロック生成部の他の例を示すブロック図である。

【図12】従来のクロック発生装置の説明に用いる概念図である。

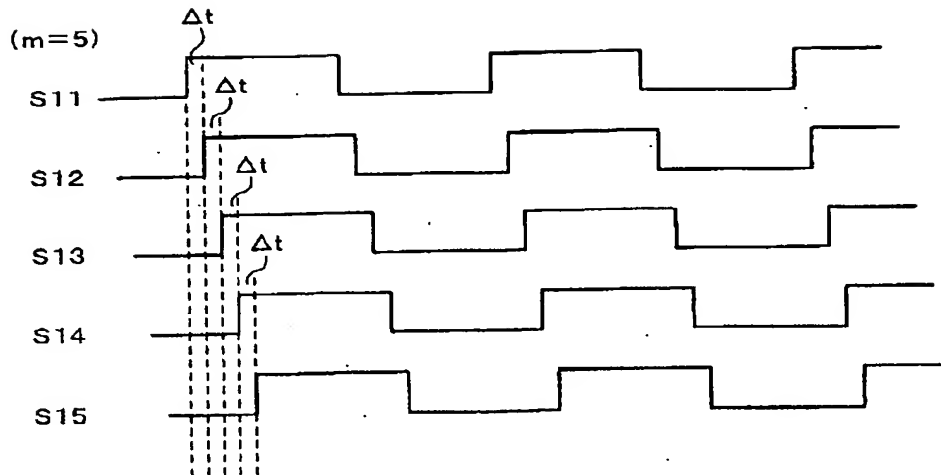
【符号の説明】

1・・・クロック生成部、2・・・ディザリング制御部、3・・・選択処理部
4、5・・・出力端子

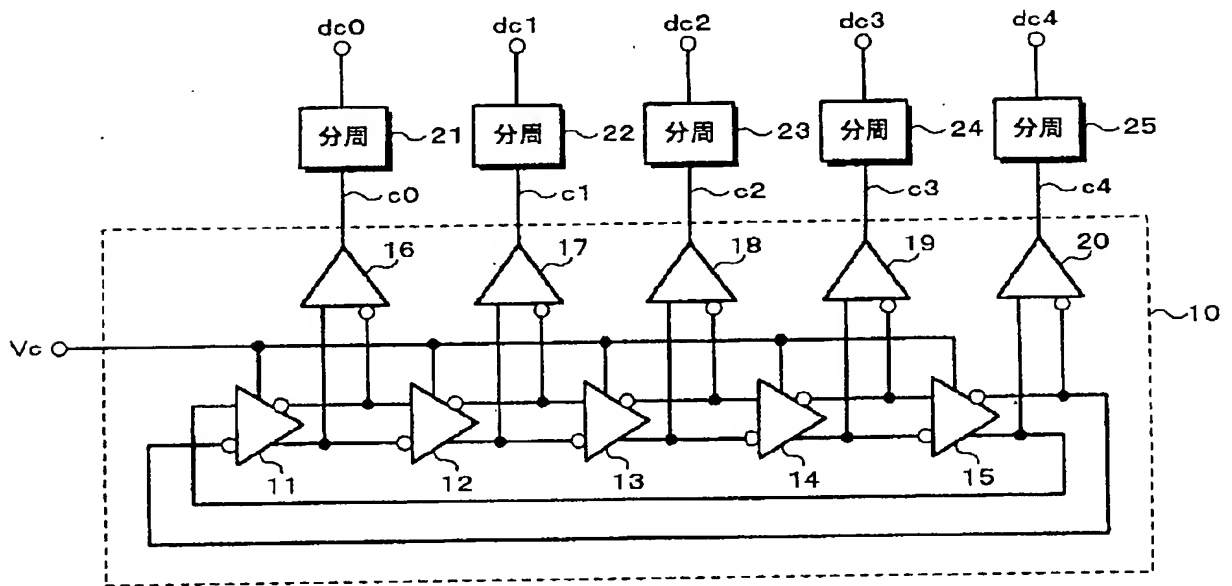
【図1】



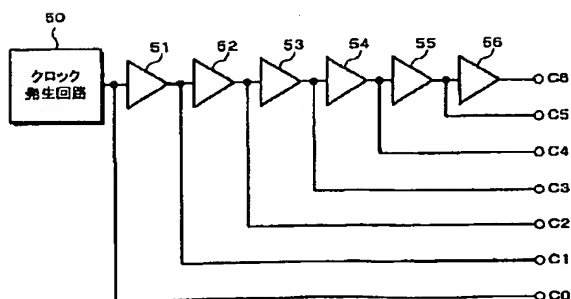
【図2】



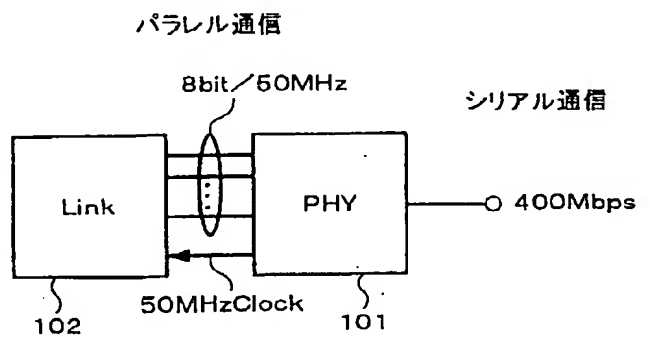
【図3】



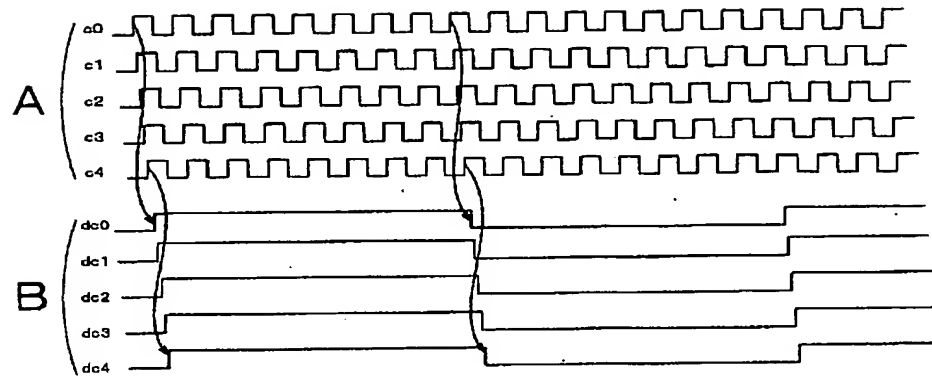
【図11】



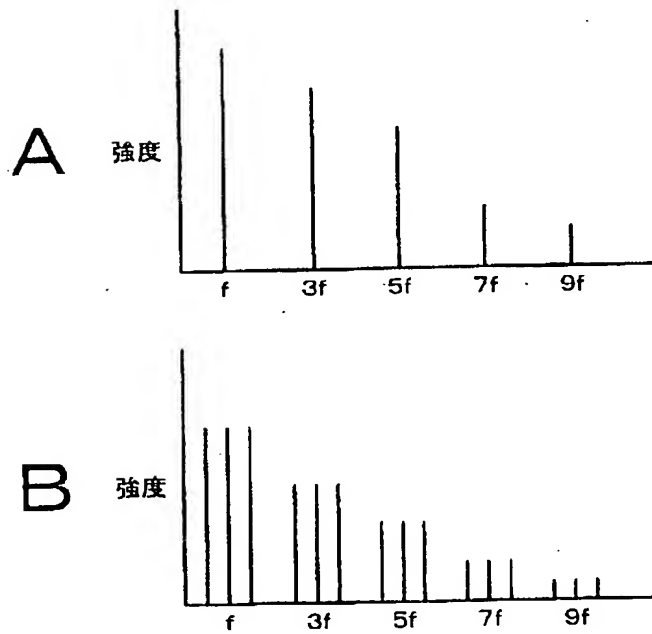
【図12】



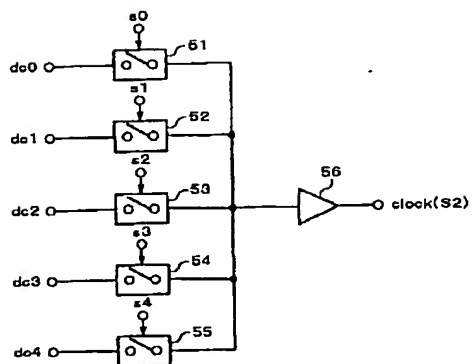
【図4】



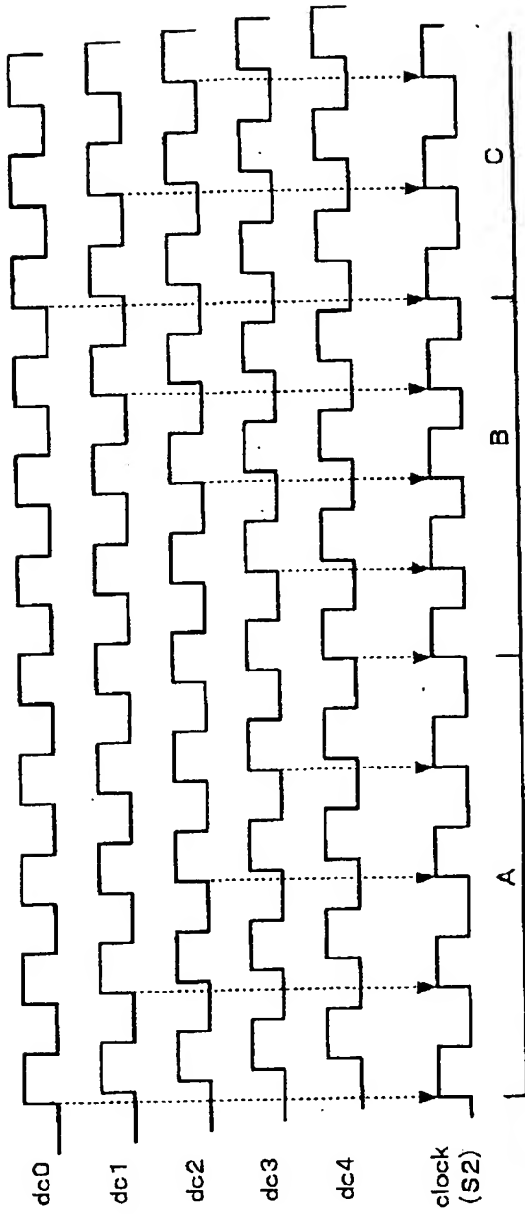
【図6】



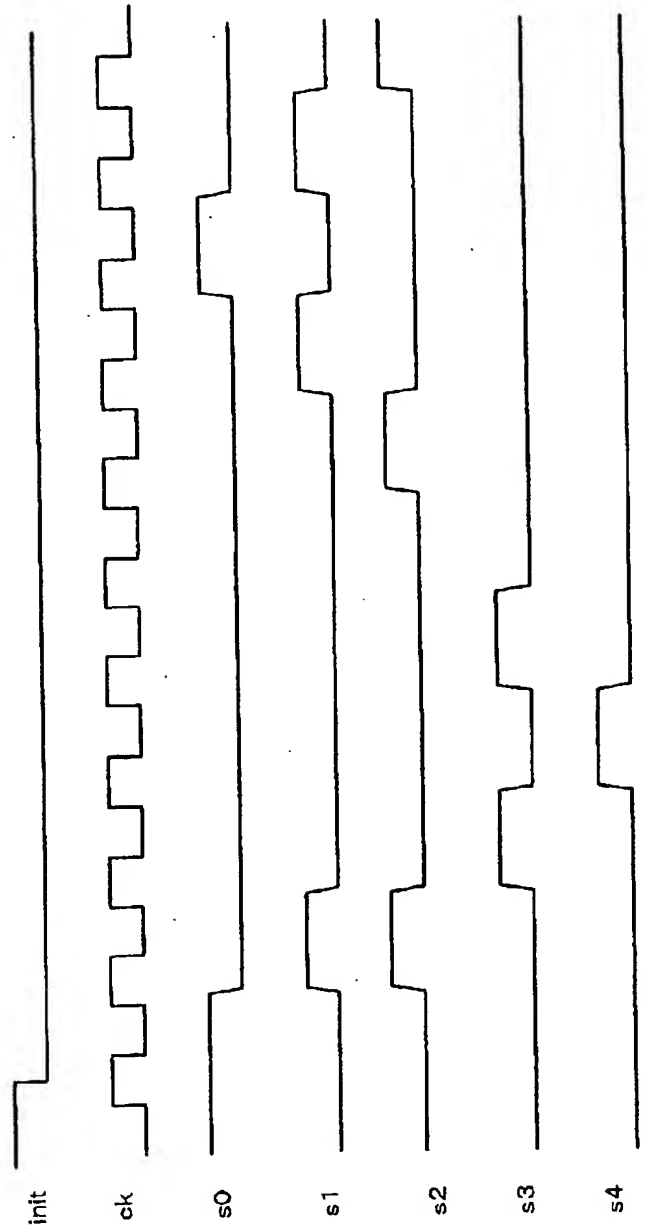
【図9】



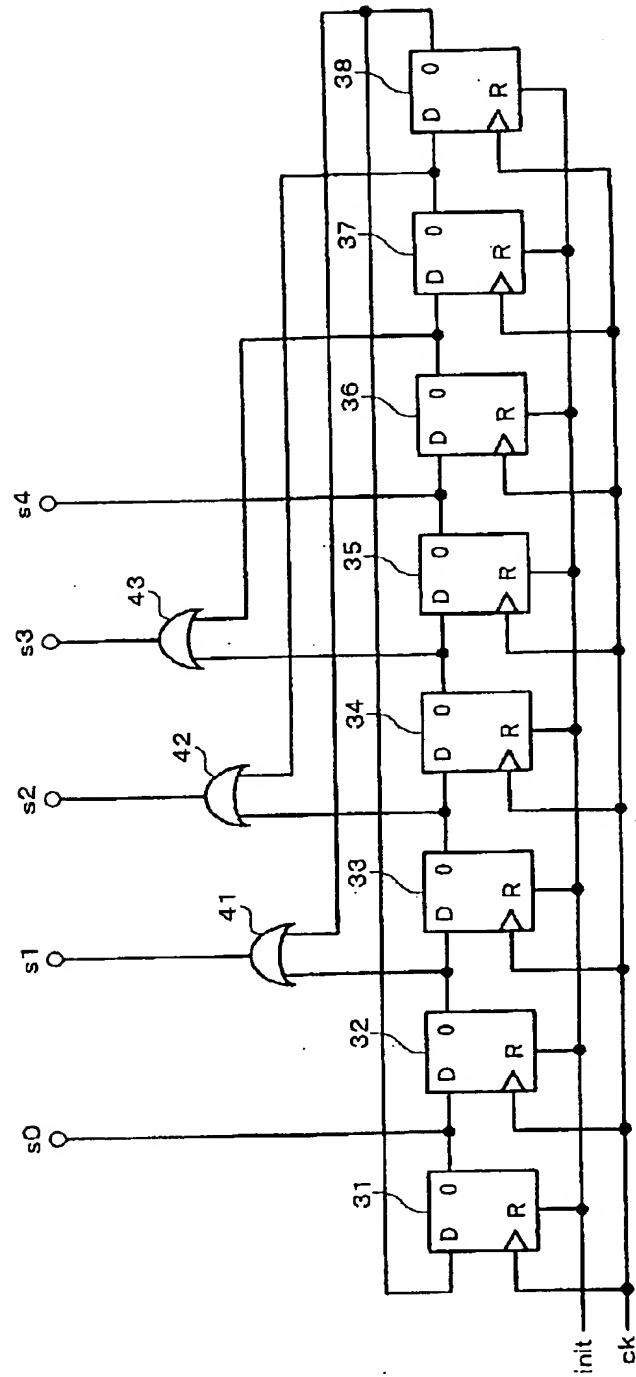
【図5】



【図8】



【図7】



【図10】

